

IC997 U.S. PTO

09/919340



07/30/01

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 43961 호  
Application Number

출원년월일 : 2000년 07월 29일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

2000      12      18  
          년      월      일

장

COMMISSIONER

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.07.29
【발명의 명칭】	배선에 의한 기생 용량을 줄일 수 있는 반도체 장치 및 그 형성방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE FOR REDUCING CAPACITANCE BETWEEN METAL LINE AND METHOD OF THE FORMING IT
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김재학
【성명의 영문표기】	KIM, JAE HAK
【주민등록번호】	670507-1459912
【우편번호】	138-200
【주소】	서울특별시 송파구 문정동 62-5번지 현대ATP 1207
【국적】	KR
【발명자】	
【성명의 국문표기】	신홍재
【성명의 영문표기】	SIN, HONG JAE
【주소】	서울특별시 관악구 신림4동 17-15번지 구방APT 103동 1001호
【국적】	KR

**【발명자】****【성명의 국문표기】**

한재현

**【성명의 영문표기】**

HAN, JAE HYUN

**【주민등록번호】**

680819-1069118

**【우편번호】**

151-053

**【주소】**

서울특별시 관악구 봉천3동 관악 현대APT 120동 1504호

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임장현 (인) 대리인

권혁수 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

0 면 0 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

11 항 461,000 원

**【합계】**

490,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 배선의 기생 용량을 줄일 수 있는 반도체 장치 및 그 형성방법에 관한 것으로, 그 형성방법은 기판에 무기 실리콘 산화막과 저유전율 유기 실리콘 산화막을 차례로 적층하는 단계, 패터닝 과정을 통해 상기 유기 실리콘 산화막에 상기 유기 실리콘 산화막 두께의 일부를 깊이로 하는 부분 트렌치를 형성하는 단계, 상기 부분 트렌치 내 벽면에 대한 산소 처리를 하는 단계, 상기 부분 트렌치에 대한 불산 습식 식각을 실시하여 트렌치를 완성하는 단계를 구비하여 이루어진다.

## 【대표도】

도 4

## 【명세서】

## 【발명의 명칭】

배선에 의한 기생 용량을 줄일 수 있는 반도체 장치 및 그 형성방법{SEMICONDUCTOR DEVICE FOR REDUCING CAPACITANCE BETWEEN METAL LINE AND METHOD OF THE FORMING IT}

## 【도면의 간단한 설명】

도1은 본 발명의 반도체 장치에서 듀얼 다마신 공정을 이용하여 층간절연막에 회로 배선 및 콘택 플러그를 형성한 부분의 배선방향 횡단면도,

도2 내지 도6은 본 발명 방법의 듀얼 다마신을 사용하는 일 예에서 각 단계를 나타내는 공정 단면도로 배선방향 종단면도,

도7 내지 도9는 본 발명에서 유기 실리콘 산화막이 애싱 처리를 받은 경우 애싱 손상층이 일정 두께로 형성됨을 나타내기 위한 공정 단면도이다.

※도면의 주요 부분에 대한 부호의 설명

10: 기판

11: 도전영역

13: 무기 실리콘 산화막

15: 유기 실리콘 산화막

17: 트렌치

17': 부분 트렌치

19: 콘택홀

21: 배선

23: 콘택 플러그

25: 포토레지스트 패턴

27: SiO<sub>2</sub>막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 배선에 의한 기생 용량을 줄일 수 있는 반도체 장치 형성방법에 관한 것이며, 보다 상세하게는 저유전막을 중간 절연막으로 하고, 저유전막 내에 도체 배선을 형성하는 방법에 관한 것이다.

<13> 반도체 장치의 소자 고집적화에 따라 소자를 결합시켜 회로장치로서 동작시키기 위해 소자를 연결하는 배선의 설치 밀도가 높아진다. 이에 따라 배선을 이루는 도체 사이의 간격은 줄어들고 도체 사이에는 일종의 캐퍼시터 작용이 이루어지는데 이렇게 회로상의 필요와 관계없이 형성된 캐퍼시터를 기생 캐퍼시터라 한다. 또한, 좁은 공간에 다수의 배선을 형성하기 위해 배선의 선폴은 줄어들고 좁은 단면적으로 인한 저항은 늘어나게 된다.

<14> 반도체 장치를 이루는 배선에서의 저항과 기생 캐퍼시터의 용량인 기생용량은 회로에 의해 전달되는 전기 신호의 흐름을 방해하는 전체 저항을 늘리며, 위상 변화에 따른 신호 전달의 지체를 가져온다. 이러한 신호 전달 지체를 저항-캐퍼시터 지체(RC delay)라 한다. 신호 전달의 지체는 반도체 장치의 능률, 성능을 떨어뜨리는 작용을 하므로 억제되어야 한다. 따라서 반도체 장치의 배선에 의한 기생 용량과 저항을 줄이는 연구가 계속되고 있다.

방향이 있으며, 이런 저저항 재료로 구리(Cu)가 있다. 그러나 구리는 일반적인 산에 의

한 부식이 어렵기 때문에 배선 패터닝 방법으로 에칭은 적합하지 않다. 이런 패터닝의 어려움을 극복하는 방법으로 다마신(damascene) 공정을 사용할 수 있다.

<16> 다마신 공정은 자기 정렬 방식을 사용하여 배선을 정확한 위치에 형성하기 위해서, 혹은 기타의 이유로도 사용될 수 있다.

<17> 한편, 기생 용량을 줄이기 위해서는 배선들의 크기를 줄이고, 배선 사이의 간격을 늘리는 방법이 있다. 그러나, 배선의 크기는 저항과 관련되고, 간격을 줄이는 것은 디자인 룰과 상반될 수 있으므로 배선 사이를 채우는 절연물질의 유전율을 낮추는 것이 필요하다. 즉, 저유전 물질을 배선이 형성되는 중간 절연물질로 사용할 필요가 있다. 저유전 물질로는 실세스퀴옥센(silsesquioxane) 계열의 메칠실세스퀴옥센(MSSQ:Methyl SilSesQuioxane)과 페닐실세스퀴옥센(PSSQ:Phenyl SilSes Quioxane)이 많이 사용되고 있다. 메칠실세스퀴옥센의 경우 비유전율이 통상의 실리콘 산화막의 4에 비해 낮은 2.7이다.

<18> 그런데, 이러한 알킬(alkyl) 혹은 아릴(aryl)기를 가지는 실세스퀴옥센은 탄소성분을 가지므로 통상의  $CF_x$  계열의 실리콘 산화막 에천트를 사용할 경우에 식각 속도가 느리며, 공정 시간이 늘어나는 단점이 있다.

<19> 또한, 공정상의 편의를 위해 배선물질을 채울 트렌치를 형성하고 트렌치 일경 부분에 하층 소자나 배선과 연결을 위해 콘택홀을 형성하는 듀얼 다마신(dual damascene)공정에 있어서 문제가 발생한다. 즉, 듀얼 다마신 공정의 일경 측과 기저면에 대해 각각의 이 깊이를 조절하기 어렵다.

<20>        깊이를 조절하기 위한 통상의 방법은 중간 절연막 중간에 식각 저지막을 형성하는 것이다. 그러나 식각 저지막은 통상 실리콘 질화막으로 이루어지는데 이는 유전율이 8정도로 높은 물질이므로 중간 절연막에 저유전율 물질을 사용하는 효과를 상쇄시키고, 실리콘 질화막 형성을 위한 공정 시간이 더 필요하다는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<21>        본 발명은 이상의 문제점을 해결하기 위한 것으로, 저유전 물질 중간절연막에 식각 저지막을 사용하지 않으면서 일정 깊이의 트렌치를 형성할 수 있는 의 식각 깊이를 조절할 수 있는 방법을 제공하는 것을 목적으로 한다.

<22>        본 발명은 또한, 배선에서의 기생 용량을 줄일 수 있는 반도체 장치 형성방법을 제공하는 것을 목적으로 한다.

<23>        또한, 본발명은 저항 캐퍼시터 지체를 억제할 수 있는 반도체 장치 형성방법을 제공하는 것을 목적으로 한다.

<24>        본 발명은 또한, 다마신 공정에 특히 적합한 방법으로, 배선을 위한 트렌치 형성의 공정 마야진을 높일 수 있는 방법을 제공하는 것을 목적으로 한다.

**【발명의 구성 및 작용】**

<25>        상기 목적을 달성하기 위한 본 발명의 반도체 장치 형성방법은, 기판에 무기 실리콘 산화막과 저유전율 유기 실리콘 산화막을 차례로 적층하는 단계, 패터닝 과정을 통

한, 배선용 도전막을 형성하고, 그 위에 절연막을 형성하여 배선층을 형성하는 단계, 그리고

본 트렌치에 대한 불산 습식 식각을 실시하여 트렌치를 완성하는 단계를 구비하여 이루



어진다.

<26> 본 발명은 다마신 공정, 특히, 상층에 저유전율 실리콘 산화막을 사용하는 듀얼 다마신 공정에 적합하며, 상기 트렌치의 소정 부분을 식각하여 콘택홀을 형성하는 단계가 추가되는 것이 일반적이다.

<27> 상기 목적을 달성하기 위한 본 발명의 반도체 장치는 도체 배선을 위해 저유전율의 유기 실리콘 산화막으로 이루어지는 상층 중간절연막과 무기 실리콘 산화막으로 이루어진 하층 중간절연막으로 이루어진 중간 절연막을 구비하며, 상층 중간 절연막에는 절연막의 두께와 같거나 더 큰 두께를 가지는 배선이 설치되고, 하층 중간절연막에는 상기 배선과 하부의 도전체를 연결하는 콘택 플러그가 설치된 것을 특징으로 한다. 특히, 하층 중간 절연막과 상층 중간 절연막 사이에는 식각 정지막의 역할을 하는 실리콘 질화막이 존재하지 않고 직접 접촉되어 있다.

<28> 본 발명과 관련하여 이미 종래 기술에 대해 살펴본 바와 같이 배선의 밀도가 높은 층에서 배선과 배선 사이는 저유전율의 유기 실리콘 산화막에 의해 채워지는 것이 필요하다. 그러나 중간 절연막 전체를 동일한 저유전율 유기 산화막으로 형성할 경우 배선을 위한 트렌치 형성단계에서 트렌치의 깊이 조절이 일정하게 되지 않는 문제가 있고, 중간에 식각 정지막을 두기도 적합하지 않다. 따라서, 트렌치가 형성되는 층과 그 하부의 중간 절연막을 성질을 달리하는 두 층으로 형성하고, 성질의 차이를 식각에 이용하여 높은 절연도를 가지고 동일한 깊이를 가지는 트렌치를 형성하는 것이 본 발명의 장점이 된다.

<29> 기령, 특정 예천트에 대하여 상부 중간 절연막의 식각 속도가 높고, 하부 중간 절

적어도 상부 층간 절연막 두께만큼 이루어지도록 하면 식각 저지막을 사용하지 않고도 비교적 깊이가 균일한 트렌치를 형성할 수 있다. 즉, 상부 층간절연막에 대한 식각이 빠르게 이루어진 부분에서는 식각이 잘 되지 않는 하부 층간 절연막을 만나게 되므로 식각이 느리게 이루어진 부분에서 상부 층간 절연막에 대한 식각이 모두 이루어질 때까지 하부 층간 절연막에 대한 식각은 많이 이루어질 수 없다. 따라서 트렌치의 깊이는 전 영역을 통해 편차가 줄어들게 된다.

<30> 그런데, 층간 절연막을 하부와 상부로 나누어 형성할 때, 배선을 위한 트렌치가 형성되는 상부 층간 절연막은 저유전 물질로 이루어져야 하지만, 통상의 저유전 물질로 사용되는 메칠실세스퀴옥센 등의 유기 실리콘 산화막은 내부의 탄소 원소의 영향으로 통상의 실리콘 산화막 에천트에 대해 식각이 잘 이루어지지 않음을 살펴본 바 있다. 반면에, 탄소성분이 포함되지 않은 하부의 무기 실리콘 산화막은 통상의 실리콘 산화막 에천트에 대해 빠르게 식각된다.

<31> 따라서, 식각 공정의 조절이 조금만 잘못되면 트렌치 형성을 위한 식각 과정에서 빠르게 하층 층간 절연막인 무기 실리콘 산화막까지 식각되어 트렌치의 깊이가 지나치게 깊어지거나 절연에 이상이 생길 수 있다. 결국, 트렌치의 깊이 조절의 측면에서 상하부 층간 절연막에 동일한 저유전을 실리콘 산화막을 사용하는 것보다 오히려 어렵게 된다.

<32> 그러나, 본 발명에서는 유기 실리콘 산화막의 다른 특성을 이용하여 특정이 키마르

트렌치가 형성되는 상층 층간 절연막을 저유전을 유기 실리콘 산화막으로 형성하고, 대

장치 구조 및 그 형성방법을 개시한 것이다.

<33> 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 보다 상세히 설명하기로 한다.

<34> 도1은 본 발명의 반도체 장치에서 듀얼 다마신 공정을 이용하여 중간절연막에 회로 배선 및 콘택 플러그를 형성한 부분의 단면을 나타낸다. 단면은 부분적으로 배선과 나란하게 절단되어 배선의 절단면을 나타내고 있다.

<35> 도면을 참조하여 적층 구조를 설명하면, 하층 중간 절연막(13)으로는 무기 실리콘 산화막의 일종인 하이드로실세스퀴옥센 (HSSQ)이 SOG(Spin On Glass)의 방법으로 도전영역(11)을 가지는 기판(10)에 도포되어 있고, 그 위로 메틸실세스퀴옥센이 CVD(Chemical Vapor Deposition) 방법으로 적층되어 상층 중간 절연막(15)을 이루고 있다. 메틸실세스퀴옥센층에는 반도체 장치 배선을 위한 트렌치(17)가 형성되어 구리 등의 배선(21)으로 채워져 있다. 트렌치(17)의 저면 일부 영역에는 하이드로실세스퀴옥센층을 통과하는 콘택홀(19)을 배선과 동일한 재질인 구리 콘택 플러그(23)가 채우고 있다. 콘택 플러그(23)는 트렌치(17)를 채우는 구리 배선 및 하이드로실세스퀴옥센 하부의 도전영역을 연결시킨다.

<36> 하층 중간 절연막으로는 통상적으로 사용하는 TEOS(tetra ethylen orthosilicate), HSSQ, SiOF 등의 탄소원소를 의미있게 포함하지 않는 실리콘 산화막을 CVD나 SOG(spin on glass) 도포 등의 방법으로 형성하게 된다. 상층의 중간 절연막은 피스적으로 기

타내는 유기 실리콘 산화막으로 형성한다. 상층의 실리콘 산화막도 SOG 도포 방식이나

- <37>        트렌치나 콘택홀을 채우는 금속은 듀얼 다마신 공정으로 동시에 형성될 수 있으나 반드시 이에 한정되는 것은 아니며, 구리외에 배선 금속인 CVD 텅스텐, 기타 저저항 금속을 사용할 수 있다.
- <38>        도2 내기 도6은 본 발명 방법의 듀얼 다마신을 사용하는 일 예에서 각 단계를 나타내는 공정 단면도이다.
- <39>        도2를 참조하면, 표면에 도전영역(11)이 형성된 기판(10)에 탄소를 포함하지 않은 무기 실리콘 산화막(13)으로 TEOS막을 CVD 방법으로 형성한다. TEOS막 위에는 유기 실리콘 산화막(15)인 메칠실세스퀴옥센을 CVD 방법으로 3000 내지 4000 Å 두께로 형성한다. 그리고, 다마신 공정을 적용하기 위해 배선용 트렌치 식각 마스크로 사용할 포토레지스트 패턴(25)을 형성한다.
- <40>        도3을 참조하면, 포토레지스트 패턴(25)을 이용한 식각을 통해 유기 실리콘 산화막(15)에 2000 내지 3000 Å 깊이를 가지는 부분 트렌치(17')를 형성한다. 도3의 부분 트렌치(17')는 배선의 방향과 수직한 단면을 나타낸 것이다. 부분 트렌치(17')의 저면은 통상의 식각에서와 같이 중앙부가 다소 덜 식각되어 볼록한 양상을 보여준다.
- <41>        도4를 참조하면, 부분 트렌치(17')를 가지는 기판(10)에 대해 산소 처리를 실시한다. 산소 처리는 대개 포토레지스트 패턴을 제거하는 애싱 공정에 사용되는 것과 같은 산소 플라즈마 환경에 부분 트렌치(17')의 내벽면을 노출시키는 것이다. 이 공정은 포토레지스트 패턴을 제거한 후 별도로 이루어질 수도 있으나 포토레지스트 패턴 제거를 기
- 벽면으로부터 1000 Å 정도 두께로 영향을 받아 애싱 손상층(27)을 형성하게 된다. 이때

등에 의해 조절될 수 있다.

<42> 애싱 손상층(27) 영역에서는 애싱이 이루어지는 동안 상부 층간 절연막을 이루는 유기 실리콘 산화막(15)의 탄소 성분이 확산되어 나오거나, 산소 플라즈마의 산소가 막 내로 확산되어 탄소 산화물을 만든다. 그리고, 탄소 산화물은 기체의 상태로 공정 챔버 밖으로 배출된다. 따라서, 탄소 성분이 제거된 무기 실리콘 산화막이 된다. 단, 하부 무기 실리콘 산화막(13)은 이미 탄소가 없는 상태이므로 애싱 손상층(27)은 하부 무기 실리콘 산화막(13)으로 확장되지 않고 상부의 유기 실리콘 산화막(15) 내에 한정된다.

<43> 도5를 참조하면, 애싱 공정을 통해 포토레지스트 패턴이 제거되고, 트렌치 내벽에 애싱 손상층을 가지는 기판에 불산을 포함하는 에천트로 습식 식각을 실시한다. 세정 용액에도 일반적으로 불산이 포함되므로 별도의 식각 없이 세정과정을 적용시킬 수도 있다. 이때, 애싱 손상층은 매우 빠른 속도로 제거되어 부분 트렌치는 폭과 깊이가 확장된 완성된 트렌치(17)가 된다. 그리고, 완성된 트렌치(17)는 유기 실리콘 산화막(15)의 두께와 동일한 깊이를 가진다.

<44> 불산의 농도에 따라 차이가 있으나, 통상의 습식 식각용 불산 용액(BOE:Buffered Oxide Etchant)을 적용시킬 경우 3초 내지 5초 정도가 소요된다. 식각의 속도가 빠른 것은 애싱 손상층의 물질 구성이 탄소 즉, 메칠기의 제거로 인하여 원소간의 결합이 매우 치밀하지 못한, 연약한 구조를 가지기 때문이다.

<45> 이 정도의 짧은 시간에서는 애싱 손상층이 제거에 따라 하부의 무기 실리콘 산화막

로 트렌치(17)의 깊이가 유기 실리콘 산화막(15) 두께보다 깊어질 염려는 없다. 결국,

고 측벽에 나타나는 유기 실리콘 산화막(15)도 불산에 대한 식각율이 매우 낮기 때문에 폭의 확장도 일정량에 한정된다.

<46> 도6을 참조하여 설명하면, 트렌치(17)의 완성에 따라 드러난 하부 무기 실리콘 산화막(13)에 대해 패터닝을 통한 콘택홀(19)을 형성한다. 패터닝 과정에서 식각은 건식 이방성으로 진행하는 것이 바람직하다. 콘택홀(19) 형성을 위한 포토레지스트 패턴(미도시)은 콘택홀(19) 부분만 제거된 것일 수도 있으나, 콘택홀(19)을 포함하여 길고 나란하게 형성된 패턴일 수도 있다. 이 경우 콘택홀(19) 부분을 제외한 다른 부분에서는 유기 실리콘 산화막(15)이 드러나지만 식각 속도가 무기 실리콘 산화막(13)에 비해 느리므로 표면의 큰 손상 없이 콘택홀 영역의 무기 실리콘 산화막(13)만 제거되어 콘택홀(19)이 형성된다.

<47> 이후의 과정에서는 구리나 텅스텐 같은 금속이 CVD 혹은 기타 방법으로 콘택홀(19)과 배선용 트렌치(17)를 채우게 된다. 그리고 상부 층간 절연막 위로 적층되는 금속층은 CMP 같은 평탄화 식각을 통해 제거되어 배선을 완성하게 된다.

<48> 이상의 예에서는 듀얼 다마신을 예로 설명하였으나 본 발명이 듀얼 다마신의 경우에 한정될 필요는 없다. 즉, 배선의 밀도가 높고 다마신 공정을 사용하는 모든 경우에 사용될 수 있다.

<49> 도7 내지 도9는 본 발명에서 유기 실리콘 산화막이 애싱과 같은 산소 처리를 받은 경우 애싱 손상층이 일정 두께로 형성됨을 나타내기 위해 그려진 것이다.

막(상품명:55), TEOS막(57)이 차례로 적층된다. 그리고, 패터닝을 통해 상층의 TEOS막

(57)과 HOSP막(55)에 폭이 A,B인 콘택홀이 형성된다. 상층 TEOS막(57)과 메칠실세스퀴옥센 계열의 HOSG막(55)의 경계에서 측벽 슬로에 약간의 불연속이 보인다. HOSP막(55)에 형성되는 콘택홀의 저면은 거의 하층 TEOS막(53)에 닿아 있다. 그리고, 애싱을 통해 포토레지스트 패턴(미도시)은 제거된다. 동시에 콘택홀의 내벽에는 산소 처리가 이루어진다.

<51> 도8을 참조하면, 산소 처리된 콘택홀을 불산용액으로 처리한 3초후의 형태를 알 수 있다. 메칠실세스퀴옥센 계열의 HOSP막(55)에서 B에서 B'로의 큰 폭의 측벽 확장이 있다. 콘택홀 저면은 거의 하층 TEOS막(53)에 닿아 있으므로 깊이가 크게 확장되지 않으나 습식 식각 특유의 아래로 오목한 프로파일(profile)을 볼 수 있다.

<52> 도9를 참조하면, 산소 처리된 콘택홀을 불산용액으로 처리한 10초후의 형태를 볼 수 있다. 메칠실세스퀴옥센 계열의 HOSP막(55)에서 별다른 폭의 확장은 볼 수 없다. 그러나 시간에 따른 상층 TEOS막(57)의 폭의 A에서 A'로의 확장과 하층 TEOS막(53)으로의 콘택홀 깊이 증가를 볼 수 있다.

<53> 이상의 실험예를 볼 때, 애싱 처리에 의해 메칠실세스퀴옥센층의 애싱 손상층이 노출된 내벽으로부터 일정 두께 형성되며, 애싱 손상층의 불산에 대한 식각 속도가 매우 높다는 것을 알 수 있다.

#### 【발명의 효과】

<54> 본 발명에 따르면, 처리가 끝나고 후에 산소 처리를 통해 콘택홀의 내벽을

하지 않고, 저유전율 유기 실리콘 산화막에 균일한 깊이로 배선용 트렌치를 형성할 수 있

다.

<55> 따라서, 고집적 반도체 장치의 배선에서 저항 캐퍼시터 지체를 억제하여 반도체 장치의 효율성을 높일 수 있다.



**【특허 청구범위】****【청구항 1】**

기판에 무기 실리콘 산화막과 저유전율 유기 실리콘 산화막을 차례로 적층하는 단계,

패터닝 과정을 통해 상기 유기 실리콘 산화막에 상기 유기 실리콘 산화막 두께의 일부를 깊이로 하는 부분 트렌치를 형성하는 단계,

상기 부분 트렌치 내벽면에 대한 산소 처리를 하는 단계,

상기 부분 트렌치에 대한 불산 습식 식각을 실시하여 트렌치를 완성하는 단계를 구비하여 이루어지는 반도체 장치 형성방법.

**【청구항 2】**

제 1 항에 있어서,

완성된 상기 트렌치를 채우도록 도전체막을 적층하는 단계 및

상기 도전체막 가운데 상기 유기 실리콘 산화막 상면에 적층된 부분을 CMP(Chemical Mechanical Polishing)로 제거하는 단계가 더 구비되어 이루어지는 반도체 장치 형성 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

전투레지스트 패턴을 형성하는 단계,

상기 포토레지스트 패턴을 식각 마스크로 상기 무기 실리콘 산화막을 식각하여 콘택홀을 형성하는 단계가 더 구비되어 이루어지는 반도체 장치 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 산소 처리는 상기 패터닝 과정에서 형성되는 포토레지스트 패턴의 애싱과정에서 함께 이루어지는 것을 특징으로 하는 반도체 장치 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 산소 처리는 상기 유기 실리콘 산화막 가운데 표출된 영역에서 두께 1000Å 이하 영역에 대해 이루어지는 것을 특징으로 하는 반도체 장치 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 불산 습식 식각은 BOE(Buffered Oxide Etcher)에 의해 5초 이내의 시간동안 이루어지는 것을 특징으로 하는 반도체 장치 형성방법.

【청구항 7】

표층에 도전 영역을 가지는 기판 위에 형성되는 무기 실리콘 산화막,

상기 무기 실리콘 산화막과 접하며 위에 형성되는 저유전율의 유기 실리콘 산화막

상기 유기 실리콘 산화막 층에와 겹쳐나 있는 전압을 가지는 소정의 전극으로 형성된 도전체 배선 및

소정의 부분에서 상기 무기 실리콘 산화막을 관통하여 상기 도전체 배선과 상기 도전 영역을 전기적으로 접속시키는 콘택 플러그를 구비하여 이루어지는 반도체 장치.

【청구항 8】

제 7 항에 있어서,

상기 콘택 플러그 및 상기 배선은 동일한 단계에서 함께 형성된 것임을 특징으로 하는 반도체 장치.

【청구항 9】

제 8 항에 있어서,

상기 콘택 플러그 및 상기 배선은 구리 금속으로 이루어지는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제 7 항에 있어서,

상기 유기 실리콘 산화막은 실세스퀴옥센(silsesquioxane) 계열로 탄소를 포함하는 SiOC(Silicon Oxi-Carbonate)막인 것을 특징으로 하는 반도체 장치.

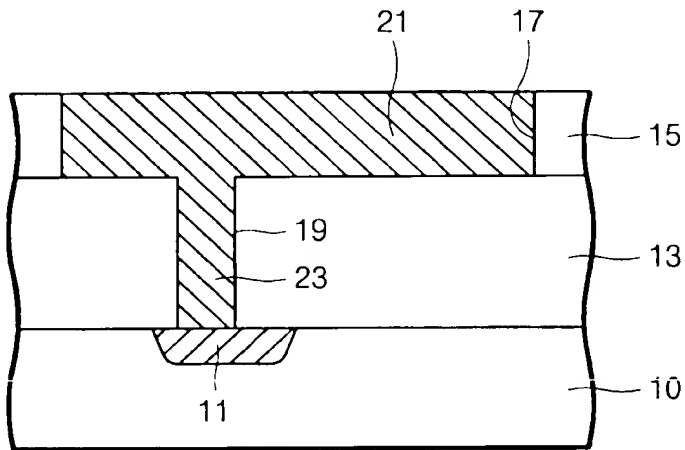
【청구항 11】

제 10 항에 있어서,

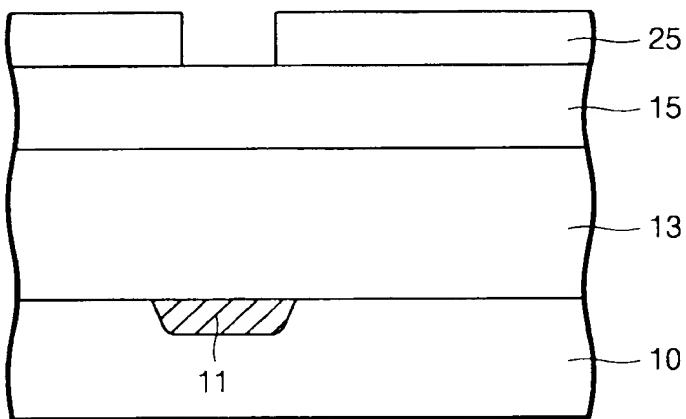
상기 유기 실리콘 산화막은 CVD(Chemical Vapor Deposition) 방법으로 이루어진 것

【도면】

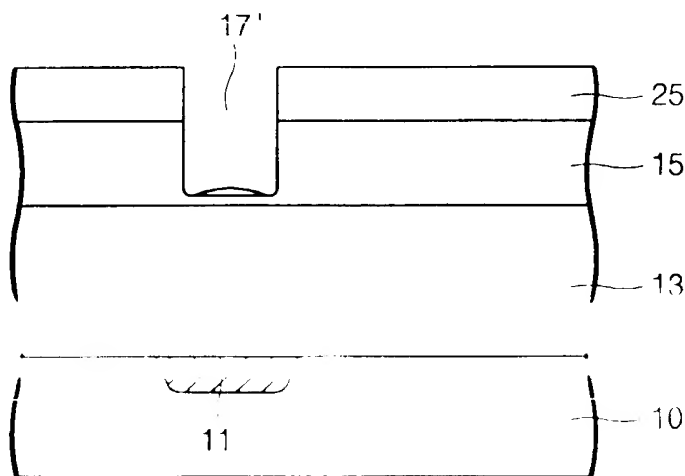
【도 1】



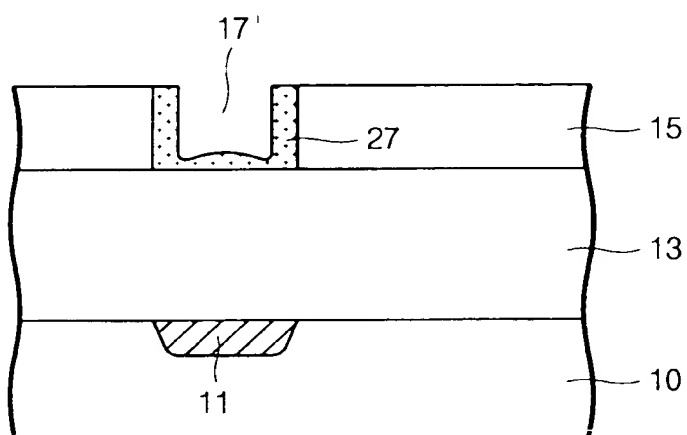
【도 2】



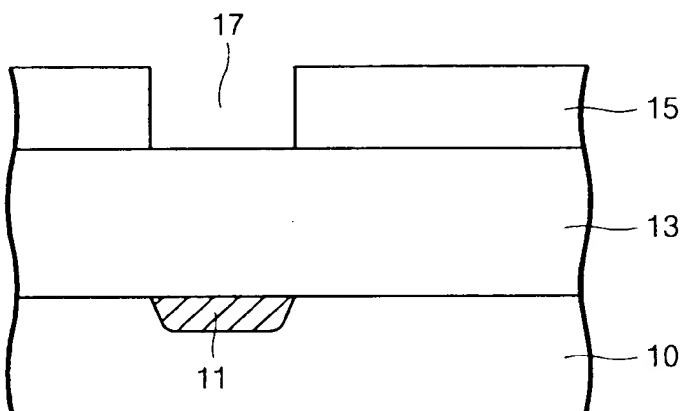
【도 3】



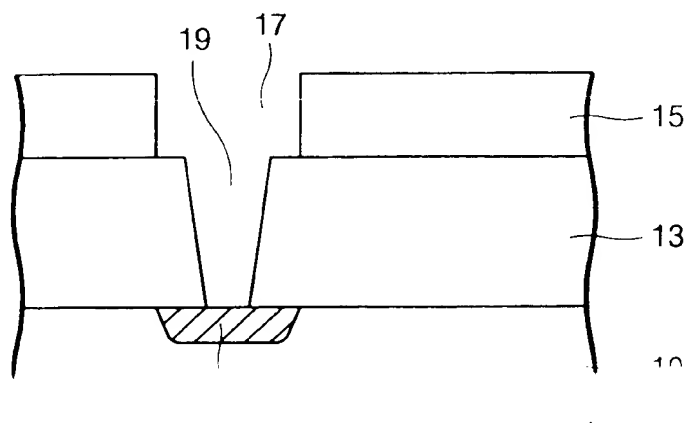
【図 4】



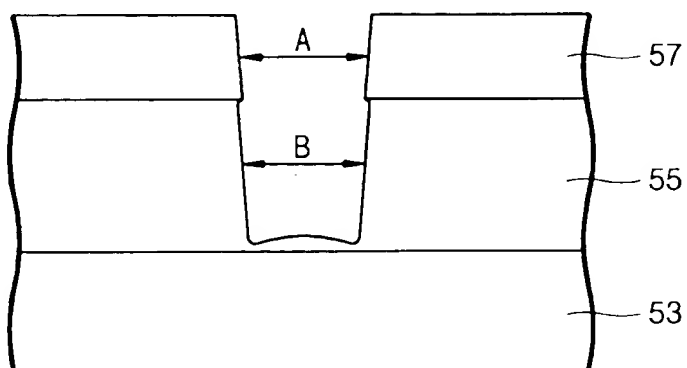
【図 5】



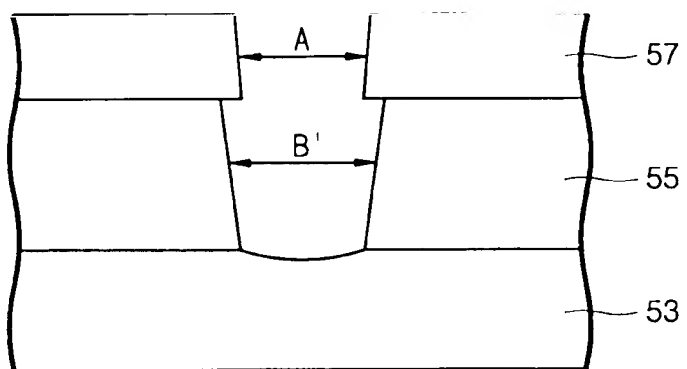
【図 6】



【図 7】



【図 8】



【図 9】

